

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

257/403

INVENTOR: KATSUHIRO KAWABUCHI  
ASSIGNEE: TOSHIBA KK  
APPL NO: 58-158700  
DATE FILED: Aug. 30, 1983  
PATENT ABSTRACTS OF JAPAN  
ABS GRP NO: E330  
ABS VOL NO: Vol. 9, No. 178  
ABS PUB DATE: Jul. 23, 1985  
INT-CL: H01L 29\*78

## ABSTRACT:

PURPOSE: To improve the withstand voltage and to reduce the injection of hot carrier by providing reverse conductive type layers to source and drain on the surface layer of a channel forming region, and providing the same conductive type layer as an impurity density lower than source and drain between the layer and a substrate.

CONSTITUTION: n.sup.+ type source and drain 32a, 32b, and a gate electrode 34 are respectively formed on a p type Si substrate 31 and a gate oxidized film 33. Further, a p type layer 36 is provided on a channel region, and an n type layer 35 is formed between a layer 36 and a substrate 31. In this construction, even if a gate voltage is raised, an n type channel is not generated at the layer 36, the channel is sealed by the layer 35 irrespective of the magnitude of a gate voltage, and operated in a buried channel type in the all range of the gate voltage. Accordingly, the withstand voltage can be improved, the injection of hot carrier can be reduced, and the mobility of the hot carrier can be increased, and these effects are very effective for microminiaturization of a semiconductor device.

=&gt;

257/403

④ 日本国特許庁 (J P)

⑩ 特許出願公開

⑨ 公開特許公報 (A)

昭60-50960

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)3月22日

H 01 L 29/78

7377-5F

審査請求 未請求 発明の数 2 (全4頁)

⑫ 発明の名称 半導体装置

⑭ 特 願 昭58-158700

⑮ 出 願 昭58(1983)8月30日

⑯ 発 明 者 川 崎 勝 弘 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社総合  
研究所内

⑰ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑱ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

## 明 細 書

### 1. 発明の名称

半導体装置

### 2. 特許請求の範囲

(1) 第1導電型の半導体基板上に第2導電型のソース・ドレインを持ち、ソース・ドレイン間のチャネル形成領域上にゲート絶縁膜を介してゲート電極を持つMOS型半導体装置において、前記チャネル形成領域の表面部に第1導電型の第1半導体層を形成し、かつその下部に第2導電型の第2半導体層を形成してなることを特徴とする半導体装置。

(2) 前記第1導電型はN型、前記第2導電型はP型であり、前記第1半導体層は不純物としてヒ素をドーピングされたものであることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 第1導電型の半導体基板上に第2導電型のソース・ドレインを持ち、ソース・ドレイン間のチャネル形成領域上にゲート絶縁膜を介してゲート電極を持つMOS型半導体装置において、前記

チャネル形成領域の表面部に第1導電型の第1半導体層を形成すると共に、その下部に第2導電型の第2半導体層を形成し、かつこの第2半導体層の下部に前記基板より不純物濃度の高い第1導電型の第3半導体層を形成してなることを特徴とする半導体装置。

(4) 前記第1導電型はN型、前記第2導電型はP型であり、前記第1半導体層は不純物としてヒ素をドーピングされたものであることを特徴とする特許請求の範囲第3項記載の半導体装置。

### 3. 発明の詳細な説明

(発明の技術分野)

本発明は、埋込みチャネル構造を有するMOS型半導体装置の改良に関する。

(発明の技術的課題とその解決)

近年、集積回路の集積度の増大と共に素子の微細化が1[μm]程度まで進行している。第1門はMOS型半導体装置に用いられるMOSトランジスタの素子構造を示す断面図である。P型基板11の表面部にN<sup>+</sup>型のソース・ドレイン

12a, 12bが形成され、ソース・ドレイン12a, 12b間のチャネル形成領域上にはゲート絶縁膜13を介してゲート電極14が形成されている。このトランジスタでは、ON状態でチャネル形成領域の表面に表面チャネルが形成され、電流は基板11の表面を流れる。この構造を簡略化し、しかも素子の正常な動作を維持するためには、基板11の不純物濃度を高くしなければならない。ところが、基板11の不純物濃度を高くすると素子の耐圧が低下し、ホットキャリアの注入も増しく起こるようになり素子特性の劣化を招く。さらに、表面散乱でキャリアのモビリティが低下し、基板の不純物濃度の増大によってモビリティの低下はさらに著しくなる。

このような素子の簡略化に伴わる問題点を解決する素子として、最近増込みチャネル構造型のMOSTラングスタが提案された。例えば、文献(IEEE Transaction on Electron Device 33, vol. ED-27, No. 8, August 1980~1520頁, 1987年)。第2図はこの増込みチャネル型

構造のMOSTラングスタの素子構造を示す断面図である。P型基板21の表面層にソース・ドレイン22a, 22bが形成され、ソース・ドレイン22a, 22b間のチャネル形成領域上にはゲート絶縁膜23を介してゲート電極24が形成されている。ここまでは第1図の構成と同様であり、新たに上記チャネル形成領域にソース・ドレイン22a, 22bの不純物濃度に対して十分低い濃度のN型半導体層25が形成されている。この構造では、ON状態で電流の流路となるチャネルはチャネル形成領域の表面ではなく、N型半導体層25内に形成される。このようにチャネルが表面より下部に形成されると、耐圧特性が向上し、またホットキャリアの注入が起り難くなる。さらに、キャリアが表面散乱の影響を受け難くなる。以上のように増込みチャネル型のMOSTラングスタは簡略化にうってつけの構造であることが分る。

しかしながら、この種の構造にあっては次のような問題があった。すなわち、上述の論文で開示されているように、増かにしきい電圧付近の

ゲート電圧では増込みチャネル型であるが、ゲート電圧が高くなり電極電圧に近付くにつれて表面チャネル型に移行し、上記の増込みチャネル型の利点が喪失してしまう。

#### (発明の目的)

本発明の目的は、ゲート電圧の高圧化に起因する増込みチャネル型MOSTラングスタの表面チャネル型への移行を防止し、ゲート電圧の全範囲で増込みチャネル型で動作させることができ、耐圧の向上、ホットキャリアの注入の低減及びモビリティの増進を維持する半導体装置を提供することにある。

#### (発明の概要)

本発明の素子は、チャネル形成領域の表面層にソース・ドレインと逆導電型の半導体層を形成すると共に、この半導体層と基板との間にソース・ドレインと同導電型でソース・ドレインよりも不純物濃度の低い半導体層を形成し、増込みチャネル型から表面チャネル型への移行を防止することにある。

前記第2図に示した増込みチャネル型の動作を詳しく検討すると、まずゲート電圧が0の場合、N型領域25はゲート電極24との仕事関数差のため空乏化する。ゲート電圧をしきい電圧まで増加させると、N型領域25と基板21との境界付近にN型のチャネルが発生し電流が流れ始める。すなわち、増込みチャネルの発生である。さらにゲート電圧を上げていくと、N型領域25の上層部もN型化しついには表面のN型化がN型領域中で最も著しくなり、チャネルが表面に移行する。

このようなチャネルの表面への移行を防止するものとして本発明者等が鋭意研究を重ねた結果、N型領域25の表面層を予めP型化しておけばよいことが分った。また、パンチスルー防止のため、N型領域に接する基板のP型領域を部分的に不純物濃度を高くする構造が特に簡略化に適していることも判明した。

本発明はこのような点に着目し、第1導電型の半導体層上に第2導電型のソース・ドレインをもち、ソース・ドレイン間のチャネル形成領域

上にゲート絶縁膜を介してゲート電極を持つMOS型半導体装置において、前記チャネル形成領域の表面部に第1導電型の第1半導体層を形成し、かつその下部に第2導電型の第2半導体層を形成するようにしたものである。

また本発明は、上記構造のMOS型半導体装置において、前記チャネル形成領域の表面部に第1導電型の第1半導体層を形成すると共に、その下部に第2導電型の第2半導体層を形成し、かつこの第2半導体層の下部に前記基板より不純物濃度の高い第1導電型の第3半導体層を形成するようにしたものである。

#### (発明の効果)

本発明によれば、ゲート電圧の大小に拘らず常に厚込みチャネル型で動作させることができ、厚込みチャネル型の利点である耐圧の向上、ホットキャリアの注入の低減及びモビリティの増加を維持することができる。このため、MOS型半導体装置の微細化に極めて有効である。

第3図は本発明の一実施例に係わるMOST

ラングスタの原子構造を示す断面図である。図3はP型シリコン基板であり、この基板31(表面図にはソース・ドレイン32a、32bが形成され、ソース・ドレイン32a、32b間のチャネル形成領域上にはゲート電極33を介してゲート電極34が形成されている。ここまでの構造は従来と同様であり、本実施例では新たにチャネル形成領域にN型半導体層(第1の半導体層)5及びP型半導体層(第2の半導体層)36が形成されている。すなわち、ソース・ドレイン3a、32b間のチャネル形成領域の表面にはP型半導体層36が形成され、この層36と基板3との間にはソース・ドレインの不純物濃度より低い不純物濃度のN型半導体層35が形成されている。

このような構造であれば、ゲート電圧を弄してもP型半導体層36にはN型のチャネルは生じないので、ゲート電圧の大小に拘らずチャネルはN型半導体層35内に封じ込められる。従って、ゲート電圧の全範囲で厚込みチャネル型で

作させることができる。このため、前述した耐圧向上、ホットキャリア注入の低減及びモビリティの増加等の効果が得られる。

第4図(a)～(d)は他の実施例に係わるMOSTラングスタ製造工程を示す断面図である。まず、第4図(a)に示す如く比抵抗 $5[0\Omega]$ のN型(100)シリコン基板41に周知の技術を用いて電子分離用絶縁膜47を形成する。続いて、熱酸化技術を用いて厚さ300[Å]のゲート酸化膜43を形成する。次いで、イオン注入技術を用い、加速電圧100[KV]で基板41の表面にヒ素をイオン注入し、第4図(b)に示す如く、N型半導体層(第1の半導体層)46を形成する。ここで不純物としてヒ素を用いた理由は、ヒ素の急峻なプロファイルによってチャネルの表面チャネル化を完全に抑えることにある。続いて、加速電圧60[KV]でホロンをイオン注入し、ソース・ドレインよりも不純物濃度の低いP型半導体層(第2の半導体層)45を形成する。その後、加速電圧250[KV]でリンをイオン注入

し、基板41よりも不純物濃度の高いN型半導体層(第3の半導体層)48を形成する。次いで第4図(c)に示す如く全面にP型多結晶シリコン膜を堆積し、これをパターニングしてゲート層44を形成する。次いで、第4図(d)に示す(c)の矢視A-A断面を示す如く、イオン注技術を用いてソース・ドレイン42a、42bを自己整合的に形成する。これ以降は、周知の技術を用いて絶縁絶縁膜及びアルミニウム配線膜を成することによってMOSTラングスタが完成することになる。

かくして形成されたMOSTラングスタにおいて、ゲート電圧を0[V]から電源電圧の5[V]まで変化させてもチャネルを厚込み型に維持することができ、前記第2図のラングスタ比べて耐圧、ホットキャリアの注入及びモビリティについても好結果を得ることができた。つまり先に説明した実施例と同様な効果が得られる。また、本実施例ではN型半導体層48を設けているので、パルスループ防止にも効果がある。

なお、本発明は上述した各実施例に限定されるものではない。例えば、前記第1乃至第3の半導体素子の膜厚や不純物濃度等の条件は、仕様に依りて適宜定めればよい。また、本発明での「MOS」構造は、ゲート絶縁膜として酸化膜以外の絶縁膜を用いた場合も含むことは知能のことである。

#### 4. 図面の簡単な説明

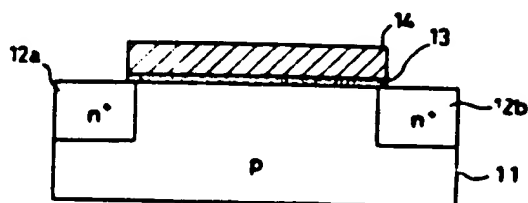
第1図及び第2図はそれぞれ従来例を説明するためのもので第1図は表面チャネル型MOSトランジスタの素子構造を示す断面図、第2図は埋込みチャネル型MOSトランジスタの素子構造を示す断面図、第3図は本発明の一実施例に係る埋込みチャネル型のMOSトランジスタの素子構造を示す断面図、第4図(a)～(d)は他の実施例を説明するための工程断面図である。

31-P型シリコン基板、32a、32b-N型ソース・ドレイン、33、43-ゲート絶縁膜、34、44-ゲート電極、35-N型半導体層(第2の半導体層)、36-P型半導体層(第1の半導体層)、41-N型シリコン基板、

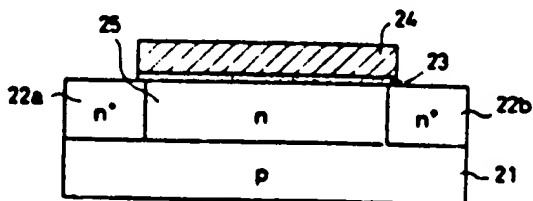
42a、42b-P型ソース・ドレイン、45-P型半導体層(第2の半導体層)、46-N型半導体層(第1の半導体層)、47-素子分離用絶縁膜、48-N型半導体層(第3の半導体層)。

出願人代理人 弁護士 徳江良男

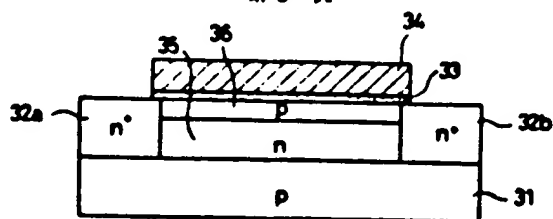
第1図



第2図



第3図



第4図

